

PATENT ABSTRACTS OF JAPAN

11

(11)Publication number : 2000-332250
 (43)Date of publication of application : 30.11.2000

(51)Int.CI. H01L 29/786
 H01L 27/08
 H01L 27/12
 H01L 29/41

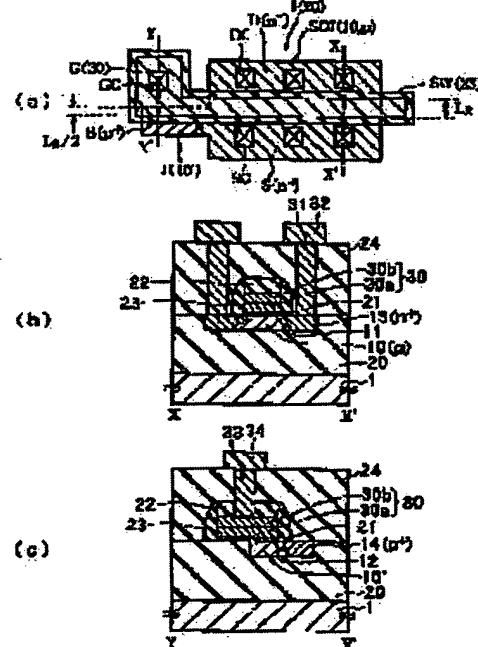
(21)Application number : 11-137179 (71)Applicant : SONY CORP
 (22)Date of filing : 18.05.1999 (72)Inventor : KOMATSU YUJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method thereof, by which a MOSFET having an SOI(silicon-on-insulator) structure is formed with only a small modification from the layout of a transistor of a bulk silicon substrate, the area of the MOSFET is not increased, and the body of the transistor can be fixed onto a source potential and so on.

SOLUTION: A transistor is provided on an insulating film 20 formed on a support substrate 1. The transistor comprises a first semiconductor layer SOI(10) of a first conductivity type, a gate insulating film 21, a gate electrode 30, a source region S of a second conductivity type, and a drain region D. The transistor further comprises a second semiconductor layer J(10') of a first conductivity type that is projected from the body of the transistor. A body extraction electrode is formed therein with a region overlapping the source region S or the drain region D, or with connection to a common conductive layer such as a metal silicide layer, which is formed on the upper layers of the first semiconductor layer SOI(10) and the second semiconductor layer J(10').



[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-332250
(P2000-332250A)

(43)公開日 平成12年11月30日 (2000.11.30)

(51)Int.Cl.
H 01 L 29/786
27/08
27/12
29/41

識別記号
3 3 1

F I
H 01 L 29/78
27/08
27/12
29/44
(*)

6 2 6 B 4 M 1 0 4
3 3 1 E 5 F 0 4 8
L 5 F 1 1 0
Z

審査請求 未請求 請求項の数20 O L (全 22 頁)

(21)出願番号 特願平11-137179
(22)出願日 平成11年5月18日(1999.5.18)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 小松 裕司
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 100094053
弁理士 佐藤 隆久

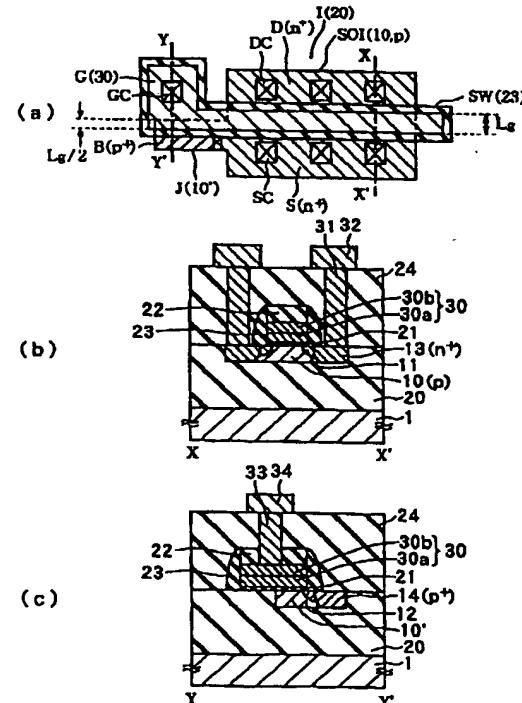
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 S O I 構造のM O S F E T を、バルクシリコン基板のトランジスタのレイアウトから変更が小さく、面積の増大を抑制し、トランジスタのボディ部分をソース電位などに固定可能な半導体装置およびその製造方法を提供する。

【解決手段】 支持基板1上に形成された絶縁膜20上に、第1導電型の第1半導体層S O I (10)、ゲート絶縁膜21、ゲート電極30、第2導電型のソース領域Sおよびドレイン領域Dを有してトランジスタが構成され、さらにトランジスタのボディ部分から張り出して形成されている第1導電型の第2半導体層J (10')を有し、ソース領域Sまたはドレイン領域Dと重なり領域を有する、あるいは第1半導体層S O I (10)および第2半導体層J (10')の上層に形成された金属シリサイド層などの共通の導電層に接続して形成されているボディ取り出し電極Bが形成されている構成とする。



【特許請求の範囲】

【請求項 1】電界効果トランジスタを有する半導体装置であって、
支持基板と、
前記支持基板上に形成された絶縁膜と、
前記絶縁膜上に形成され、前記トランジスタのチャネル形成領域を有する第 1 導電型の第 1 半導体層と、
前記チャネル形成領域の上層に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上層に形成されたゲート電極と、
前記ゲート電極の両側部における前記第 1 半導体層中に前記チャネル形成領域に接続して形成された第 2 導電型のソース領域およびドレイン領域と、
少なくとも前記第 1 半導体層の前記ソース領域およびドレイン領域を除くボディ部分から張り出して形成されている第 1 導電型の第 2 半導体層と、
前記第 2 半導体層中に形成され、前記第 1 半導体層よりも第 1 導電型の不純物を高濃度に含有し、前記ソース領域またはドレイン領域に接続して形成されているボディ取り出し電極とを有する半導体装置。
【請求項 2】前記ゲート電極が、前記第 1 半導体層領域においては前記チャネル形成領域に、前記第 2 半導体層領域とは一部領域が重なるように、さらに前記第 1 半導体層と前記第 2 半導体層の境界の一方の端部上を通過するようにして、前記ゲート絶縁膜の上層に形成されており、
前記ゲート電極の側部における前記第 2 半導体層中に前記ボディ取り出し電極が形成されている請求項 1 記載の半導体装置。
【請求項 3】前記第 1 半導体層と前記第 2 半導体層の境界近傍において、前記ボディ取り出し電極と、前記ソース領域またはドレイン領域が、重なり部分を有して接続している請求項 1 記載の半導体装置。
【請求項 4】前記ボディ取り出し電極と前記ソース領域またはドレイン領域が、共通の導電層に接続している請求項 1 記載の半導体装置。
【請求項 5】前記導電層が、前記第 1 および第 2 半導体層の上層に形成された金属シリサイド層である請求項 4 記載の半導体装置。
【請求項 6】前記ソース領域およびドレイン領域が、それぞれ第 1 不純物領域と、当該第 1 不純物領域のチャネル形成方向の外側に形成され、前記第 1 不純物領域よりも高濃度の導電性不純物を含有する第 2 不純物領域を有する請求項 1 記載の半導体装置。
【請求項 7】前記第 1 半導体層および第 2 半導体層がシリコン活性層である請求項 1 記載の半導体装置。
【請求項 8】前記電界効果トランジスタとして、n チャネル型トランジスタと p チャネル型トランジスタが形成されている請求項 1 記載の半導体装置。
【請求項 9】前記第 1 半導体層が複数のチャネル形成領

域を有し、前記複数個のチャネル形成領域の上層にそれぞれゲート絶縁膜を介して複数個のゲート電極が形成されており、複数個のトランジスタが形成されている請求項 1 記載の半導体装置。

【請求項 10】前記複数個のトランジスタが、少なくともソース領域またはドレイン領域を共有している請求項 9 記載の半導体装置。

【請求項 11】前記ボディ取り出し電極と接続している前記ソース領域またはドレイン領域を電源電圧あるいは接地電位に固定することにより、前記第 1 半導体層の前記ソース領域およびドレイン領域を除くボディ部分を前記電源電圧あるいは接地電位に固定する請求項 1 記載の半導体装置。

【請求項 12】トランジスタを有する半導体装置の製造方法であって、

支持基板の絶縁膜上に、前記トランジスタのチャネル形成領域を有する第 1 導電型の第 1 半導体層と、当該第 1 半導体層から張り出して形成されている第 1 導電型の第 2 半導体層とを有する積層基板を形成する工程と、
前記第 1 半導体層および前記第 2 半導体層の上層にゲート絶縁膜を形成する工程と、
前記第 1 半導体層領域においては前記チャネル形成領域に、前記第 2 半導体層領域とは一部領域が重なるよう
に、さらに前記第 1 半導体層と前記第 2 半導体層の境界の一方の端部上を通過するようにして、前記ゲート絶縁膜の上層にゲート電極を形成する工程と、

前記第 1 半導体層領域において、前記ゲート電極の両側部における前記第 1 半導体層中に、前記チャネル形成領域に接続するように第 2 導電型のソース領域およびドレイン領域を形成する工程と、

前記第 2 半導体層領域において、前記ゲート電極の側部における前記第 2 半導体層中に、前記第 1 半導体層よりも第 1 導電型の不純物を高濃度に含有するボディ取り出し電極を形成する工程とし、
前記ボディ取り出し電極を形成する工程以降の工程において、前記ボディ取り出し電極と前記ソース領域またはドレイン領域を接続して形成する半導体装置の製造方法。

【請求項 13】前記ボディ取り出し電極を形成する工程においては、前記第 1 半導体層と前記第 2 半導体層の境界近傍において、前記ソース領域またはドレイン領域と重なり部分を有するように形成する請求項 12 記載の半導体装置の製造方法。

【請求項 14】前記ボディ取り出し電極を形成する工程の後に、前記ボディ取り出し電極と前記ソース領域またはドレイン領域の上層に金属シリサイド層を形成する工程をさらに有する請求項 12 記載の半導体装置の製造方法。

【請求項 15】前記ソース領域およびドレイン領域を形成する工程が、前記ゲート電極をマスクとして第 1 不純

物領域を形成する工程と、前記ゲート電極の側部にサイドウォールマスク層を形成する工程と、前記サイドウォールマスク層をマスクとして前記第1不純物領域よりも高濃度に導電性不純物を含有する第2不純物領域を形成する工程とを含む請求項12記載の半導体装置の製造方法。

【請求項16】前記支持基板の絶縁膜上に前記第1半導体層と第2半導体層とを有する積層基板を形成する工程においては、それぞれシリコン活性層からなる前記第1半導体層と第2半導体層とを形成する請求項12記載の半導体装置の製造方法。

【請求項17】前記絶縁膜の上層に、前記第1半導体層および第2半導体層を有する半導体層を複数個形成し、nチャネル型トランジスタとpチャネル型トランジスタを形成する請求項12記載の半導体装置の製造方法。

【請求項18】前記nチャネル型トランジスタのソース領域およびドレイン領域を形成する工程において、同時に前記pチャネル型トランジスタのボディ取り出し電極を形成し、

前記pチャネル型トランジスタのソース領域およびドレイン領域を形成する工程において、同時に前記nチャネル型トランジスタのボディ取り出し電極を形成する請求項17記載の半導体装置の製造方法。

【請求項19】前記絶縁膜の上層に、複数個のチャネル形成領域を有するように前記第1半導体層を形成し、前記ゲート電極を形成する工程においては、前記複数個のチャネル形成領域の上層にそれぞれゲート絶縁膜を介して複数個のゲート電極を形成し、

前記複数個のチャネル形成領域に対応する複数個のトランジスタを形成する請求項12記載の半導体装置の製造方法。

【請求項20】前記複数個のトランジスタが少なくともソース領域またはドレイン領域を共有するように、前記複数個のトランジスタを配置して形成する請求項19記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にSOI (Silicon On InsulatorまたはSemiconductor On Insulator) 構造の半導体層を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】MOS (Metal Oxide Semiconductor) 型またはMIS (Metal Insulator Semiconductor) 型電界効果トランジスタ（以下総称してMOSFET (MOS Field Effect Transistor) ともいう）を搭載するLSIの高集積化および高性能化に伴い、SOI構造の半導体層を有する半導体装置が注目を集めている。SOI構造では、酸化シリコンなどの絶縁膜により完全な素子分離がなされるため、ソフトエラーやCMOS (Comple-

mentary MOS) トランジスタに特有なラッチアップが抑制され、集積度の高いLSIにおいても高い信頼性が得られることから、例えば500nm程度の膜厚のシリコン活性層を有するSOI構造においてCMOSトランジスタにより高い信頼性を有するLSIを開発する研究が行われてきた。

【0003】近年においては、SOI構造のシリコン活性層の膜厚を150nm程度まで薄くし、ソース・ドレイン拡散層がシリコン活性層の下層の酸化シリコン膜にまで達するような条件でCMOSトランジスタを構成すると、ソース・ドレイン拡散層の接合容量を低減することができ、特に低電源電圧下でのトランジスタの高速動作が可能となることから、低消費電力化を実現する技術としてこのSOI型半導体装置が注目を集めている。

【0004】上記のSOI構造のMOSFETを有する半導体装置の特に部分空乏型（ソース・ドレイン拡散層の直下の空乏層がシリコン活性層の下層の酸化シリコン膜に達していない、チャネル形成領域直下の空乏層がシリコン活性層の下層の酸化シリコン膜に達していない状態）のSOI構造MOSFETにおいては、ソース・ドレイン拡散層の直下にはSOI基板の厚い酸化シリコン膜が形成されていることから、バルクシリコン基板上に形成されたMOSFETにおけるソース・ドレイン拡散層のp-n接合のような、例えば低バイアス程接合容量が増大する接合容量の変動（バイアス依存性）は観測されなくなる。

【0005】しかしながら、バルクシリコン基板上に形成されたMOSFETにおいてはシリコン基板電位により制御されていたトランジスタのボディ部分（トランジスタのソース・ドレイン領域を除いた半導体層部分）が、上記のSOI構造のMOSFETにおいては浮遊の状態となってしまう。

【0006】上記のトランジスタのボディ部分が浮遊となったSOI構造のMOSFETにおいては、電圧電流特性（V_d-I_d特性）においてドレイン電流（I_d）がステップ状に変化するドレイン電流のリンク（Kink）が発生してしまうという問題が発生する。上記の特性により、特にアナログ信号の動作において、入力信号に対して出力信号に歪みが重複されることになってしまう。また、デジタル回路においても過渡的に不安定な動作をしてしまい、ノイズに対するマージンを大きくして回路を設定しなければならない。

【0007】また、寄生バイポーラ効果によりドレイン耐圧が低下してしまう問題も生じる。上記の特性により、デバイスに印加できる電圧の上限が決まってしまい、信頼性のテストなどにおいて加速試験を行う場合に印加できる上限の電圧が制限されてしまう。この結果、極端な加速試験が行えなくなり、信頼性のテストの時間が長くなり、製造コストの上昇を招いてしまう。

【0008】さらに、ゲート電極と容量的に接合するこ

とによるゲート電圧の動的な変化に応じたトランジスタのボディ部分の動的な電位の変動が生じる。上記の特性により、過渡的なゲート容量が入力信号やトランジスタのゲートのサイズなどにより影響されて変化することになり、回路ブロックのタイミング設計など、それぞれの動作速度について確認する必要が生じてしまい、これは製造コストの上昇に繋がる。

【0009】つまり、トランジスタのボディ部分の電位が動作電流やゲート電極の電位によって動的に変化してしまうため、トランジスタは同じバイアス条件や現在の入力信号以外のトランジスタの過去の状態によってその動作が影響されることにより上記の問題が発生することになり、全ての状況を加味して回路設計やモデリング（特にタイミング検証）などを行う必要が生じてしまう。

【0010】上記の問題を回避するため、トランジスタのボディ部分の電位を例えばソース電位と共にボディ部分の電位を固定し、トランジスタの過渡的な不安定な動作を無くする方法が検討されている。

【0011】図25は、上記のトランジスタのボディ部分の電位をソース電位に固定した半導体装置の平面図であり、例えばデザインルールが $1.0\mu m$ の世代の半導体装置に対して開発されたレイアウトである。素子分離絶縁膜Iにより分離されたSOI構造を有する第1導電型の半導体層SOI上にゲート電極Gが形成されており、その両側部の半導体層SOI中が第2導電型のソース領域Sおよびドレイン領域Dとなって、MOSFETが構成されている。ゲート電極GはゲートコンタクトGCによりゲート電位に制御され、一方ソース領域Sおよびドレイン領域DはそれぞれソースコンタクトSCおよびドレインコンタクトDCにより不図示のソース線などの他の配線などに接続して形成されている。

【0012】上記の半導体装置において、ソース領域Sの端部2か所に、第1導電型の不純物を高濃度に含有して第1導電型となったボディ取り出し電極B1, B2が形成されている。第1導電型のボディ取り出し電極B1, B2は、トランジスタのソース・ドレイン領域を除いた半導体層部分であるトランジスタの第1導電型のボディ部分に接続しており、さらに第2導電型のソース領域Sとは隣接して形成されており、pn接合を形成する。このpn接合は、不純物濃度がともに高い場合には、この接合は良好な整流特性は示さず、抵抗体に近い電流-電圧特性を示す。従って、トランジスタのボディ部分が、ボディ取り出し電極B1, B2を介してソース領域Sに接続し、これによりトランジスタのボディ部分の電位がソース電位に固定されることになる。

【0013】しかしながら、上記の半導体装置は、ソース・ドレイン領域の構造としてLDD (Lightly Doped Drain) 構造に対応しておらず、ゲート電極をマスクとして第2導電型の導電性不純物をイオン注入して低濃度

領域を形成し、ゲート電極の両側部にサイドウォールマスク層を形成した後にさらにサイドウォールマスク層をマスクとして第2導電型の導電性不純物をイオン注入して高濃度領域を形成することでソース・ドレイン領域をLDD構造とした場合、ソース領域Sの端部に第1導電型の不純物を高濃度にイオン注入して形成するボディ取り出し電極とトランジスタのボディ部分の間に第2導電型の低濃度領域が残されてn-p-n接合またはp-n-p接合構造となってしまうという問題がある。

【0014】また、上記の半導体装置において、ソース領域Sの端部に、ボディ取り出し電極B1, B2を形成することにより、ボディ取り出し電極B1, B2の幅の分だけ実効的なチャネル幅 W_S が狭められてしまう。

【0015】さらに、上記の半導体装置の製造工程において、ソース領域Sの端部に、第1導電型の不純物を高濃度にイオン注入してボディ取り出し電極を形成するときに、例えば図25中のパターンPB1, PB2を開口するレジストなどのマスク層をマスクとするが、この場合、パターンPB1, PB2の形成はゲート長 L_g 程度の合わせマージンにて形成しなければならないという問題もある。

【0016】上記の $1.0\mu m$ 世代の半導体装置に対して、より微細な $0.25\mu m$ ルールまで適用するように開発された半導体装置の平面図を図26に示す。素子分離絶縁膜Iにより分離されたSOI構造を有する第1導電型の半導体層SOI上にゲート電極Gが形成されており、その両側部の半導体層SOI中が第2導電型のソース領域Sおよびドレイン領域Dとなって、MOSFETが構成されている。ゲート電極GはゲートコンタクトGCによりゲート電位に制御され、一方ソース領域Sおよびドレイン領域DはそれぞれソースコンタクトSCおよびドレインコンタクトDCにより不図示のソース線などの他の配線などに接続して形成されている。

【0017】上記の半導体装置において、ゲート電極GにはTゲートTGが接続して形成されており、TゲートTGを境界にして分離された半導体層SOIに第1導電型の不純物を高濃度に含有して第1導電型となったボディ取り出し電極Bが形成されている。このボディ取り出し電極Bは、トランジスタのソース・ドレイン領域を除いた半導体層部分であるトランジスタの第1導電型のボディ部分に接続している。一方、上記の第1導電型のボディ取り出し電極Bは、ボディコンタクトBCに埋め込まれたコンタクトプラグや金属配線などを介して、例えばソース領域Sと接続している。以上により、トランジスタのボディ部分の電位がソース電位に固定されることになる。

【0018】また、図26に示す半導体装置に対して、ゲート容量を低減したレイアウトを有する半導体装置の平面図が図27であり、ボディ取り出し電極Bの面積が縮小化されている。

【0019】

【発明が解決しようとする課題】しかしながら、上記の図26および図27に示す半導体装置においては、TゲートTGによりソース領域Sおよびドレイン領域Dと、ボディ取り出し電極Bとを分離しており、このためTゲートTGのゲート長 L_{ga} は、第1導電型の不純物を高濃度にイオン注入してボディ取り出し電極Bを形成するパターン P_B のレジストマスクを形成のための合わせマージンを有するように設計しなければならず、一般的に最小バターンで形成することはできない。さらに、比較的面積の縮小が困難であるコンタクト（ボディコンタクトBC）が必要であり、それを形成するための各種合わせマージンを考慮に入れなければならない。このため、レイアウト面積を縮小することが困難となり、半導体装置の微細化や小型化が困難となっていた。

【0020】さらに、上記の半導体装置におけるTゲートは、バルクシリコン基板に形成されたトランジスタには通常用いられていないので、従来より蓄積してきた半導体装置の設計資産を活用することができなくなる。SOI構造の半導体層における拡散層やゲート電極などの下層レベルでのレイアウト変更はその上層の配線のレイアウトの変更を余儀なくし、従来からバルクシリコン基板のトランジスタに対して蓄積してきた設計資産を新たに一からSOI構造デバイス用に構築しなければならない。

【0021】本発明は上記の問題に鑑みてなされたものであり、本発明の目的は、SOI構造の半導体層に形成されたMOSFETを有する半導体装置において、バルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、トランジスタのボディ部分をソース領域などの電位に固定することによりドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧の向上を図ることができる半導体装置およびその製造方法を提供することである。

【0022】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、電界効果トランジスタを有する半導体装置であって、支持基板と、前記支持基板上に形成された絶縁膜と、前記絶縁膜上に形成され、前記トランジスタのチャネル形成領域を有する第1導電型の第1半導体層と、前記チャネル形成領域の上層に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上層に形成されたゲート電極と、前記ゲート電極の両側部における前記第1半導体層中に前記チャネル形成領域に接続して形成された第2導電型のソース領域およびドレイン領域と、少なくとも前記第1半導体層の前記ソース領域およびドレイン領域を除くボディ部分から張り出して形成されている第1導電型の第2半導体層と、前記第2半導体層中に形成され、前記第1半導体層よりも第1導電型の

不純物を高濃度に含有し、前記ソース領域またはドレン領域に接続して形成されているボディ取り出し電極とを有する。

【0023】上記の本発明の半導体装置は、好適には、前記ゲート電極が、前記第1半導体層領域においては前記チャネル形成領域に、前記第2半導体層領域とは一部領域が重なるように、さらに前記第1半導体層と前記第2半導体層の境界の一方の端部上を通過するようにして、前記ゲート絶縁膜の上層に形成されており、前記ゲート電極の側部における前記第2半導体層中に前記ボディ取り出し電極が形成されている。

【0024】上記の本発明の半導体装置は、好適には、前記第1半導体層と前記第2半導体層の境界近傍において、前記ボディ取り出し電極と、前記ソース領域またはドレン領域が、重なり部分を有して接続している。

【0025】上記の本発明の半導体装置は、好適には、前記ボディ取り出し電極と前記ソース領域またはドレン領域が、共通の導電層に接続している。さらに好適には、前記導電層が、前記第1および第2半導体層の上層に形成された金属シリサイド層である。

【0026】上記の本発明の半導体装置は、好適には、前記ソース領域およびドレン領域が、それぞれ第1不純物領域と、当該第1不純物領域のチャネル形成方向の外側に形成され、前記第1不純物領域よりも高濃度の導電性不純物を含有する第2不純物領域を有する。また、上記の本発明の半導体装置は、好適には、前記第1半導体層および第2半導体層がシリコン活性層である。

【0027】上記の本発明の半導体装置は、好適には、前記電界効果トランジスタとして、nチャネル型トランジスタとpチャネル型トランジスタが形成されている。

【0028】上記の本発明の半導体装置は、好適には、前記第1半導体層が複数のチャネル形成領域を有し、前記複数個のチャネル形成領域の上層にそれぞれゲート絶縁膜を介して複数個のゲート電極が形成されており、複数個のトランジスタが形成されている。さらに好適には、前記複数個のトランジスタが、少なくともソース領域またはドレン領域を共有している。

【0029】上記の本発明の半導体装置は、好適には、前記ボディ取り出し電極と接続している前記ソース領域またはドレン領域を電源電圧あるいは接地電位に固定することにより、前記第1半導体層の前記ソース領域およびドレン領域を除くボディ部分を前記電源電圧あるいは接地電位に固定する。

【0030】上記の半導体装置によれば、支持基板上に形成された絶縁膜上に、トランジスタのチャネル形成領域を有する第1導電型の第1半導体層を有し、チャネル形成領域の上層に形成されたゲート絶縁膜およびゲート電極と、ゲート電極の両側部における第1半導体層中にチャネル形成領域に接続して形成された第2導電型のソース領域およびドレン領域を有して、電界効果トラン

ジスタが構成されている。さらに、少なくとも第1半導体層のソース領域およびドレイン領域を除くボディ部分から張り出して形成されている第1導電型の第2半導体層を有している。この第2半導体層中には、第1半導体層よりも第1導電型の不純物を高濃度に含有し、ソース領域またはドレイン領域と重なり領域を有する、あるいは第1半導体層および第2半導体層の上層に形成された金属シリサイド層などの共通の導電層に接続して形成されているボディ取り出し電極が形成されている。従つて、第1半導体層のソース領域およびドレイン領域を除くボディ部分が、ボディ取り出し電極を介してソース領域に接続しており、ソース電位に固定されて、ドレイン電流のキンクの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧の向上を図ることができる。

【0031】さらに、上記の第1半導体層と第2半導体層のレイアウトは、第1半導体層領域においてはチャネル形成領域に、第2半導体層領域とは一部領域が重なるように、さらに第1半導体層と第2半導体層の境界の一方の端部上を通過するようにゲート電極が配置し、ゲート電極の側部における第2半導体層中にボディ取り出し電極が形成されている構成とすることで、Tゲート構造とせずにボディ取り出し電極をソース領域に接続して配置することができ、バルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、ボディ取り出し電極を配置することができる。

【0032】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、トランジスタを有する半導体装置の製造方法であって、支持基板の絶縁膜上に、前記トランジスタのチャネル形成領域を有する第1導電型の第1半導体層と、当該第1半導体層から張り出して形成されている第1導電型の第2半導体層とを有する積層基板を形成する工程と、前記第1半導体層および前記第2半導体層の上層にゲート絶縁膜を形成する工程と、前記第1半導体層領域においては前記チャネル形成領域に、前記第2半導体層領域とは一部領域が重なるように、さらに前記第1半導体層と前記第2半導体層の境界の一方の端部上を通過するようにして、前記ゲート絶縁膜の上層にゲート電極を形成する工程と、前記第1半導体層において、前記ゲート電極の両側部における前記第1半導体層中に、前記チャネル形成領域に接続するよう第2導電型のソース領域およびドレイン領域を形成する工程と、前記第2半導体層において、前記ゲート電極の側部における前記第2半導体層中に、前記第1半導体層よりも第1導電型の不純物を高濃度に含有するボディ取り出し電極を形成する工程とを有し、前記ボディ取り出し電極を形成する工程以降の工程において、前記ボディ取り出し電極と前記ソース領域またはドレン領域を接続して形成する。

【0033】上記の本発明の半導体装置の製造方法は、

好適には、前記ボディ取り出し電極を形成する工程においては、前記第1半導体層と前記第2半導体層の境界近傍において、前記ソース領域またはドレン領域と重なり部分を有するように形成する。

【0034】上記の本発明の半導体装置の製造方法は、好適には、前記ボディ取り出し電極を形成する工程の後に、前記ボディ取り出し電極と前記ソース領域またはドレン領域の上層に金属シリサイド層を形成する工程をさらに有する。

【0035】上記の本発明の半導体装置の製造方法は、好適には、前記ソース領域およびドレン領域を形成する工程が、前記ゲート電極をマスクとして第1不純物領域を形成する工程と、前記ゲート電極の側部にサイドウォールマスク層を形成する工程と、前記サイドウォールマスク層をマスクとして前記第1不純物領域よりも高濃度に導電性不純物を含有する第2不純物領域を形成する工程とを含む。

【0036】上記の本発明の半導体装置の製造方法は、好適には、前記支持基板の絶縁膜上に前記第1半導体層と第2半導体層とを有する積層基板を形成する工程においては、それぞれシリコン活性層からなる前記第1半導体層と第2半導体層とを形成する。

【0037】上記の本発明の半導体装置の製造方法は、好適には、前記絶縁膜の上層に、前記第1半導体層および第2半導体層を有する半導体層を複数個形成し、nチャネル型トランジスタとpチャネル型トランジスタを形成する。さらに好適には、前記nチャネル型トランジスタのソース領域およびドレン領域を形成する工程において、同時に前記pチャネル型トランジスタのボディ取り出し電極を形成し、前記pチャネル型トランジスタのソース領域およびドレン領域を形成する工程において、同時に前記nチャネル型トランジスタのボディ取り出し電極を形成する。

【0038】上記の本発明の半導体装置の製造方法は、好適には、前記絶縁膜の上層に、複数個のチャネル形成領域を有するように前記第1半導体層を形成し、前記ゲート電極を形成する工程においては、前記複数個のチャネル形成領域の上層にそれぞれゲート絶縁膜を介して複数個のゲート電極を形成し、前記複数個のチャネル形成領域に対応する複数個のトランジスタを形成する。さらに好適には、前記複数個のトランジスタが少なくともソース領域またはドレン領域を共有するように、前記複数個のトランジスタを配置して形成する。

【0039】上記の半導体装置の製造方法は、支持基板の絶縁膜上に、トランジスタのチャネル形成領域を有する第1導電型の第1半導体層と、当該第1半導体層から張り出して形成されている第1導電型の第2半導体層とを有する積層基板を形成する。次に、第1半導体層および第2半導体層の上層にゲート絶縁膜を形成し、第1半導体層領域においてはチャネル形成領域に、第2半導体層

層領域とは一部領域が重なるように、さらに第1半導体層と第2半導体層の境界の一方の端部上を通過するようにして、ゲート絶縁膜の上層にゲート電極を形成する。次に、第1半導体層領域において、ゲート電極の両側部における第1半導体層中に、チャネル形成領域に接続するように第2導電型のソース領域およびドレイン領域を形成し、次に、第2半導体層領域において、ゲート電極の側部における第2半導体層中に、第1半導体層よりも第1導電型の不純物を高濃度に含有するボディ取り出し電極を形成する。このボディ取り出し電極を形成する工程において、ソース領域またはドレイン領域と重なり部分を有するように形成する、あるいは、後工程でボディ取り出し電極とソース領域またはドレイン領域の上層に金属シリサイド層を形成することにより、ボディ取り出し電極とソース領域またはドレイン領域を接続して形成する。

【0040】上記の半導体装置の製造方法によれば、支持基板上に形成された絶縁膜上に、トランジスタのチャネル形成領域を有する第1導電型の第1半導体層に電界効果トランジスタを形成し、さらに、少なくとも第1半導体層から張り出して形成されている第1導電型の第2半導体層に対して、トランジスタのソース領域またはドレイン領域と重なり領域を有する、あるいは第1半導体層および第2半導体層の上層に金属シリサイド層を形成することにより、ソース領域あるいはドレイン領域に接続してボディ取り出し電極を形成することができる。従って、第1半導体層のソース領域およびドレイン領域を除くボディ部分が、ソース電位に固定されて、ドレン电流のキックの発生を抑制し、寄生バイポーラ効果によるドレン耐圧が向上したトランジスタを形成することができる。

【0041】さらに、上記の第1半導体層と第2半導体層のレイアウトは、第1半導体層領域においては前記チャネル形成領域に、第2半導体層領域とは一部領域が重なるように、さらに第1半導体層と第2半導体層の境界の一方の端部上を通過するようにゲート電極が配置し、ゲート電極の側部における第2半導体層中にボディ取り出し電極を形成することにより、Tゲート構造とせずにボディ取り出し電極をソース領域に接続して配置することができ、パルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、ボディ取り出し電極を配置することができる。

【0042】さらに、上記の半導体装置としてCMOSトランジスタを形成する場合には、nチャネル型トランジスタのソース領域およびドレイン領域を形成する工程において、同時にpチャネル型トランジスタのボディ取り出し電極を形成し、pチャネル型トランジスタのソース領域およびドレイン領域を形成する工程において、同時にnチャネル型トランジスタのボディ取り出し電極を

形成することにより、通常のCMOSトランジスタに対してマスクを増やさないで形成することができる。また、1個の半導体層に対して2個のトランジスタを形成し、この1対のトランジスタを敷きつめて構成するゲートアレイに好ましく適用することが可能である。

【0043】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0044】第1実施形態

図1(a)は本実施形態に係る半導体装置の平面図である。素子分離絶縁膜1(20)により分離されたSOI構造を有する第1導電型(p型)の第1半導体層SOI(10)上にゲート電極G(30)が形成されており、その両側部の半導体層SOI中が第2導電型(n⁺型)のソース領域Sおよびドレイン領域Dとなって、nチャネル型のMOSFETが構成されている。ゲート電極GはゲートコンタクトGCによりゲート電位に制御され、一方ソース領域Sおよびドレイン領域DはそれぞれソースコンタクトSCおよびドレインコンタクトDCにより不図示のソース線などの他の配線などに接続して形成されている。

【0045】上記の少なくとも第1半導体層SOIのソース領域Sおよびドレイン領域Dを除くボディ部分から、第1導電型(p型)の第2半導体層J(10')が張り出して形成されている。ここで、ゲート長L_gのゲート電極Gが、第1半導体層領域においてはチャネル形成領域に、第2半導体層領域とはゲート電極のゲート長の半分(L_g/2)の領域が重なるように、さらに第1半導体層SOIと第2半導体層Jの境界の一方の端部上を通過するようにして、ゲート絶縁膜の上層に形成されており、ゲート電極の側部における第2半導体層中に第1半導体層よりも第1導電型の不純物を高濃度に含有する第1導電型(p⁺型)のボディ取り出し電極Bが形成されている。ここで、ボディ取り出し電極Bは、ソース領域Sと重なり領域を有しており、pn接合を形成する。このpn接合は、不純物濃度がともに高い場合には、この接合は良好な整流特性は示さず、抵抗体に近い電流-電圧特性を示す。従って、トランジスタのボディ部分が、ボディ取り出し電極Bを介してソース領域Sに接続し、これによりトランジスタのボディ部分の電位がソース電位に固定されることになる。

【0046】図1(b)は図1(a)中のX-X'における断面図である。支持基板1の張り合わせ面の上面に、例えば酸化シリコンからなる層間絶縁膜20が形成されており、その上層にSOI構造のp型シリコン活性層である第1半導体層(SOI層)10が形成されている。第1半導体層10の上層に、例えば酸化シリコンからなるゲート絶縁膜21を介して、例えばポリシリコン層30aおよびタンゲステンシリサイド層30bの積層体であるポリサイド構造のゲート電極30が形成されて

おり、その上層に酸化シリコンのオフセット絶縁膜22が形成されている。ゲート電極30の両側部には例えば酸化シリコンのサイドウォール絶縁膜23が形成されている。ゲート電極30の両側部のサイドウォール絶縁膜23の下部における第1半導体層10中には、n型の導電性不純物を低濃度に含有するn型低濃度拡散層（第1不純物領域）11が形成され、その両側部には低濃度拡散層11に接続してn型の導電性不純物を高濃度に含有するn⁺型の高濃度拡散層（第2不純物領域）13が形成され、LDD（Lightly Doped Drain）構造のソース・ドレイン領域が形成されている。以上のようにして、nチャネル型MOSFETが構成されている。

【0047】上記のトランジスタを被覆して、全面に例えれば酸化シリコンからなる層間絶縁膜24が形成されており、高濃度拡散層13に達するコンタクトホールが開口されて、タングステンなどの埋め込みプラグ31が埋め込まれ、アルミニウムなどの上層配線32に接続している。

【0048】図1(c)は図1(a)中のY-Y'における断面図である。上記と同様に、支持基板1の張り合わせ面の上面に、例えれば酸化シリコンからなる層間絶縁膜20が形成されており、その上層に上記の第1半導体層10の少なくともソース領域Sおよびドレイン領域Dを除くボディ部分から、第1導電型(p型)の第2半導体層10'が張り出して形成されている。第2半導体層10'の上層に、上記と同じ構成のポリサイド構造を有するゲート長L_gのゲート電極30が、第2半導体層10'に対してゲート長の半分(L_g/2)の領域が重なるように形成されている。ここで、ゲート電極30の側部における第2半導体層10'中に第1半導体層10よりも第1導電型の不純物を高濃度に含有する低濃度不純物領域12と低濃度不純物領域12よりもさらに高濃度な高濃度不純物領域14からなる第1導電型(p⁺型)のボディ取り出し電極が形成されている。この領域で、ゲート電極30に達するコンタクトホールが開口されて、タングステンなどの埋め込みプラグ33が埋め込まれ、アルミニウムなどの上層配線34に接続している。

【0049】上記の半導体装置において、トランジスタのソース領域の高濃度不純物領域13と、ボディ取り出し電極の高濃度不純物領域14が重なり領域を有しており、抵抗体に近い電流-電圧特性を示すp-n接合を形成するので、これによりトランジスタのボディ部分がボディ取り出し電極を介してソース領域に接続し、ソース電位に固定されることになる。従って、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧の向上を図ることができる。

【0050】さらに、上記の第1半導体層と第2半導体層のレイアウトは、Tゲート構造とせずにボディ取り出し電極をソース領域に接続して配置することができ、バルクシリコン基板に形成されたトランジスタのレイアウト

から変更が小さく、さらにレイアウト面積の増大を抑制して、ボディ取り出し電極を配置することができる。

【0051】上記の半導体装置の製造方法について図面を参照して以下に説明する。まず、図2((a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図)に示すように、例えれば張り合わせ法あるいはSIMOX法などにより、支持基板1の張り合わせ面の上層に酸化シリコンの層間絶縁膜I(20)と、第1半導体層SOI(10)および第1半導体層SOI(10)から張り出して形成されている第2半導体層J(10')からなる第1導電型(p型)のシリコン半導体層とが積層した積層基板を形成する。半導体層は、層間絶縁膜I(20)により素子分離されている。素子分離領域の層間絶縁膜I(20)は、例えればトレンチ素子分離法により形成することもできる。

【0052】次に、図3((a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図)に示すように、第1半導体層SOI(10)および第2半導体層J(10')からなるシリコン半導体層の上層に例えれば熱酸化法によりゲート絶縁膜21を形成し、その上層に例えればCVD(Chemical Vapor Deposition)法によりポリシリコンとタングステンシリサイドを積層させ、必要に応じて導電性不純物をイオン注入した後、さらにその上層に酸化シリコンを積層させ、ゲート電極パターンのレジスト膜(不図示)を形成して、これをマスクとして酸化シリコンをRIE(反応性イオンエッティング)などによりエッティング加工してオフセット絶縁膜22を形成し、さらにレジスト膜を除去後、オフセット絶縁膜22をマスクとしてポリシリコンとタングステンシリサイドをエッティング加工し、ポリシリコン層30aおよびタングステンシリサイド層30bの積層体であるポリサイド構造のゲート電極G(30)を形成する。このとき、図3(a)に示すように、第2半導体層J(10')の上層には、ゲート長L_gのゲート電極G(30)が、第2半導体層J(10')に対してゲート長の半分(L_g/2)の領域が重なるようにパターン形成する。

【0053】次に、図4((a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図)に示すように、フォトリソグラフィー工程により第1半導体層SOI(10)領域を開口し、第2半導体層J(10')領域を保護するマスクパターンM1のレジストマスクR1を形成し、ゲート電極G(30)の両側部における第1半導体層SOI(10)中に、ゲート電極G(30)をマスクとして第2導電型(n型)の導電性不純物をイオン注入し、n型の低濃度不純物領域11を形成する。

【0054】次に、図5((a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図)に示すように、フォトリソグラフィー工程

により第2半導体層J（10'）領域を開口し、第1半導体層SOI（10）領域を保護するマスクパターンM2のレジストマスクR2を形成し、ゲート電極G（30）の側部における第2半導体層J（10'）中に、ゲート電極G（30）をマスクとして第1導電型（p型）の導電性不純物をイオン注入し、p型の低濃度不純物領域12を形成する。

【0055】次に、図6（(a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図）に示すように、レジスト膜R2を除去後、例えばCVD法により全面に酸化シリコンを堆積させ、RIEなどのエッチングによりエッチバックして、ゲート電極G（30）の両側部にサイドウォール絶縁膜SW（23）を形成する。これは、後工程においてLDDスペーサとなる。

【0056】次に、図7（(a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図）に示すように、フォトリソグラフィー工程により第1半導体層SOI（10）領域を開口し、第2半導体層J（10'）領域を保護するマスクパターンM3のレジストマスクR3を形成し、ゲート電極G（30）の両側部における第1半導体層SOI（10）中に、サイドウォール絶縁膜SW（23）をマスクとして、As⁺などの第2導電型（n型）の導電性不純物を例え（エネルギー：50keV、ドーズ量： 2×10^{15} atoms/cm²）という条件でイオン注入し、n型の低濃度不純物領域11に接続するn⁺型の高濃度不純物領域13を形成する。以上でLDD構造のソース・ドレイン領域を形成することができる。

【0057】次に、図8（(a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図）に示すように、フォトリソグラフィー工程により第2半導体層J（10'）領域を開口し、第1半導体層SOI（10）領域を保護するマスクパターンM4のレジストマスクR4を形成し、ゲート電極G（30）の側部における第2半導体層J（10'）中に、サイドウォール絶縁膜SW（23）をマスクとして、BF₂⁺などの第1導電型（p型）の導電性不純物を例え（エネルギー：50keV、ドーズ量： 2×10^{15} atoms/cm²）という条件でイオン注入し、p型の低濃度不純物領域12に接続するp⁺型の高濃度不純物領域14を形成する。以上で、第1半導体層SOI（10）のソース・ドレイン領域を除くボディ部分に接続するボディ取り出し領域Bを形成することができる。次に、例え窒素雰囲気下で1000°C、10秒のRTA（Rapid Thermal Annealing）法によるアニール処理により、導電性不純物を活性化する。

【0058】以降の工程としては、例えCVD法により酸化シリコンを堆積させて層間絶縁膜24を形成し、リフロー、エッチバックなどにより平坦化処理をした

後、第1半導体層SOI（10）においては高濃度不純物領域12に達するコンタクトホール（ソースコンタクトSCおよびドレインコンタクトDC）を開口し、一方第2半導体層J（10'）においてはゲート電極30に達するゲートコンタクトGCを開口し、各コンタクトホール内をタングステンプラグ（31、33）などにより埋め込み、さらに上層配線（32、34）を形成して、図1に示す半導体装置に至る。

【0059】上記の半導体装置の製造方法においては、支持基板上に形成された絶縁膜上に、トランジスタのチャネル形成領域を有する第1導電型の第1半導体層に電界効果トランジスタを形成し、さらに、少なくとも第1半導体層から張り出して形成されている第1導電型の第2半導体層に対して、トランジスタのソース領域と重なり領域を有することにより、ソース領域に接続してボディ取り出し電極を形成することができる。従って、第1半導体層のソース領域およびドレイン領域を除くボディ部分が、ソース電位に固定されて、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧が向上したトランジスタを形成することができる。

【0060】さらに、上記の第1半導体層と第2半導体層のレイアウトは、第1半導体層領域においては前記チャネル形成領域に、第2半導体層領域とは一部領域が重なるように、さらに第1半導体層と第2半導体層の境界の一方の端部上を通過するようにゲート電極が配置し、ゲート電極の側部における第2半導体層中にボディ取り出し電極を形成することにより、Tゲート構造とせずにボディ取り出し電極をソース領域に接続して配置することができ、バルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、ボディ取り出し電極を配置することができる。

【0061】さらに、上記の実施形態においてはnチャネル型トランジスタについて説明しているが、導電性不純物の導電型を入れ替えることでpチャネル型トランジスタを構成することができる。ただし、pチャネル型トランジスタの場合には、ボディ取り出し電極をドレイン領域に接続するように形成する。さらに、上記の半導体装置としてCMOSトランジスタを形成する場合には、nチャネル型トランジスタのソース領域およびドレイン領域を形成する工程において、同時にpチャネル型トランジスタのボディ取り出し電極を形成し、pチャネル型トランジスタのソース領域およびドレイン領域を形成する工程において、同時にnチャネル型トランジスタのボディ取り出し電極を形成することにより、通常のCMOSトランジスタに対してマスクを増やさないで形成することができる。

【0062】第2実施形態

図9（a）は本実施形態に係る半導体装置の平面図であり、図9（b）および図9（c）はそれぞれ図9（a）

中のX-X'、Y-Y'における断面図である。本実施形態に係る半導体装置は、実質的に第1実施形態に係る半導体装置と同様であるが、第1半導体層SOI(10)中の高濃度不純物領域13の上層と第2半導体層J(10')中の高濃度不純物領域14の上層に、自己整合的にコバルトシリサイド、タングステンシリサイドあるいはタンタルシリサイドなどの高融点シリサイド層C(15)が形成されていることが異なる。

【0063】上記の本実施形態に係る半導体装置は、トランジスタのソース領域の高濃度不純物領域12と、ボディ取り出し電極の高濃度不純物領域14がともにその上層に形成された高融点金属シリサイド層C(15)に接続しており、第1実施形態に係る半導体装置と同様に、トランジスタのボディ部分がボディ取り出し電極を介してソース領域に接続し、ソース電位に固定されることになる。本実施形態に場合、高融点金属シリサイド層C(15)により接続するので、pn接合により接続する第1実施形態よりも、電位差を小さくしてより確実にトランジスタのボディ部分をソース領域に接続することができる。従って、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧の向上を図ることができる。

【0064】上記の半導体装置の製造方法について図面を参照して以下に説明する。まず、第1実施形態における図8((a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図)に示す断面図に至る工程までは、第1実施形態と同様に形成する。

【0065】次に、図10((a)は平面図、(b)および(c)はそれぞれ(a)中のX-X'、Y-Y'における断面図)に示すように、例えば希フッ酸などのウェットエッチングによりシリコン層表面の自然酸化膜を除去する前処理を行った後、例えば基板温度が450°Cのスパッタリング法によりコバルトなどの高融点金属を10nmの膜厚で堆積させ、(窒素雰囲気下、550°C、30秒のRTA処理)という条件の第1アニール処理によるシリサイド化、(H₂SO₄:H₂O₂=15:2の溶液(70°C)に3'浸漬)による未反応コバルトの除去、(窒素雰囲気下、800°C、30秒のRTA処理)という条件の第2アニール処理によるシリサイド層の緻密化を行い、第1半導体層SOI(10)中の高濃度不純物領域13の上層と第2半導体層J(10')中の高濃度不純物領域14の上層に、自己整合的にコバルトシリサイドなどの高融点金属シリサイド層C(15)を形成する。

【0066】以降の工程としては、第1実施形態と同様にして、層間絶縁膜24を形成し、第1半導体層SOI(10)においては高濃度不純物領域13に達するコンタクトホール(ソースコンタクトSCおよびドレインコンタクトDC)を開口し、一方第2半導体層J(10')においてはゲート電極30に達するゲートコンタ

クトGC)を開口し、各コンタクトホール内をタングステンプラグ(31、33)などにより埋め込み、さらに上層配線(32、34)を形成して、図9に示す半導体装置に至る。

【0067】上記の半導体装置の製造方法においては、支持基板上に形成された絶縁膜上に、トランジスタのチャネル形成領域を有する第1導電型の第1半導体層に電界効果トランジスタを形成し、さらに、少なくとも第1半導体層から張り出して形成されている第1導電型の第2半導体層に対して、第1半導体層および第2半導体層の上層に金属シリサイド層を形成することにより、ソース領域に接続してボディ取り出し電極を形成することができる。従って、第1半導体層のソース領域およびドレイン領域を除くボディ部分が、ソース電位に固定されて、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧が向上したトランジスタを形成することができる。

【0068】上記の本実施形態に係る半導体装置においては、第1半導体層および第2半導体層の上層に金属シリサイド層を形成しているので、トランジスタのソース領域とボディ取り出し電極は、重なり領域を有していてもいなくてもよく、合わせマージンをより小さくすることができます。これは、ボディ取り出し電極部分の面積を狭めが可能であることを示している。

【0069】第3実施形態

図11(a)は、本実施形態に係る半導体装置であるゲートアレイの1対のトランジスタに相当する領域の平面図である。ゲートアレイとしては、図示している1対のトランジスタがゲートアレイ領域に敷きつめられて形成されている。上記の半導体装置において、素子分離絶縁膜Iにより分離されたSOI構造を有する第1導電型(p型)の第1半導体層SOI上に1対のゲート電極G1、G2が形成されており、1対のゲート電極G1、G2で挟まれた半導体層SOI中が第2導電型(n⁺型)のソース領域Sとなり、1対のゲート電極G1、G2の外側の領域の半導体層SOI中が第2導電型(n⁺型)の1対のドレイン領域D1、D2となる。以上のように、1対のnチャネル型のMOSFETが構成されている。

【0070】上記の第1半導体層SOIから、第1半導体層SOIのボディ部分に接続して第1導電型(p型)の第2半導体層Jが張り出して形成されている。上記の半導体装置は、例えば0.4μmルールで設計されており、ゲート電極G1、G2のゲート長L1は0.4μmとなる。ゲート電極G1、G2のチャネル幅は、例えば4.0μmである。また、活性領域である第2半導体層J部分の最小線幅L1も例えば0.4μmで設計されている。ここで、ゲート電極G1、G2は、第2半導体層J領域とはゲート電極のゲート長の半分(L3=0.2μm)の領域が重なるように形成されており、ゲート電

極の側部における第2半導体層J中に第1半導体層SOIよりも第1導電型の不純物を高濃度に含有する第1導電型(p^+ 型)のボディ取り出し電極Bが形成されている。ここで、第1半導体層SOIおよび第2半導体層Jに対するゲート電極G1, G2の合わせずれが生じてもボディ取り出し電極がドレイン領域D1, D2側にずれてゲート電極G1, G2の外側へ露出するのを防止するため、ゲート電極G1, G2の直下のボディ部分は、少なくとも $0.2\mu m$ 分はドレイン領域D1, D2側に形成されていない設計とする。これは、最小デザインルールの半分程度の合わせマージンでパターンを重ねて形成することは比較的容易であるからである。

【0071】図11(a)中の破線の円で示した領域の拡大図が図11(b)である。図11(b)に示すように、ボディ取り出し電極Bは、ソース領域Sと重なり領域Vを有しており、 $p-n$ 接合を形成する。この $p-n$ 接合は、不純物濃度がともに高い場合には、この接合は良好な整流特性は示さず、抵抗体に近い電流-電圧特性を示す。従って、トランジスタのボディ部分が、ボディ取り出し電極Bを介してソース領域Sに接続し、これによりトランジスタのボディ部分の電位がソース電位に固定されることになり、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧が向上したトランジスタを形成することができる。

【0072】さらに、上記の第1半導体層SOIと第2半導体層Jのレイアウトは、Tゲート構造とせずにボディ取り出し電極Bをソース領域Sに接続して配置することができ、バルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、ボディ取り出し電極を配置することができる。

【0073】上記の半導体装置の製造方法について図面を参照して以下に説明する。まず、図12(a)に示すように、例えば張り合わせ法あるいはSIMOX法などにより、支持基板の張り合わせ面の上層に酸化シリコンの層間絶縁膜Iと、第1半導体層SOIおよび第1半導体層SOIから張り出して形成されている第2半導体層Jからなる第1導電型(p 型)のシリコン半導体層とが積層した積層基板を形成する。半導体層は、層間絶縁膜Iにより素子分離されており、素子分離領域の層間絶縁膜Iは、例えばトレンチ素子分離法により形成することもできる。また、第2半導体層Jの最小線幅L1は $0.4\mu m$ である。

【0074】次に、図12(b)に示すように、第1半導体層SOIおよび第2半導体層Jからなるシリコン半導体層の上層に例えば熱酸化法によりゲート絶縁膜を形成し、その上層に例えばCVD(Chemical Vapor Deposition)法によりポリシリコンとタンクステンシリサイドを積層させたポリサイド構造のゲート電極G1, G2をパターン形成する。ゲート長L2は例えば $0.4\mu m$

である。このとき、第2半導体層Jの上層には、ゲート電極G1, G2が第2半導体層Jに対してゲート長の半分($L3=0.2\mu m$)の領域が重なるようにパターン形成する。

【0075】次に、図13(c)に示すように、フォトリソグラフィー工程により第1半導体層SOI領域を開口し、第2半導体層J領域を保護するマスクパターンM1のレジストマスクを形成し、1対のゲート電極G1, G2で挟まれた半導体層SOI中に第2導電型(n^+ 型)のソース領域Sを、1対のゲート電極G1, G2の外側の領域の半導体層SOI中に第2導電型(n^+ 型)の1対のドレイン領域D1, D2を形成する。

【0076】次に、図13(d)に示すように、フォトリソグラフィー工程により第2半導体層J領域を開口し、第1半導体層SOI領域を保護するマスクパターンM2のレジストマスクを形成し、ゲート電極Gの側部における第2半導体層J中に、ゲート電極Gをマスクとして第1導電型(p 型)の導電性不純物をイオン注入し、 p 型のボディ取り出し電極Bを形成する。ここで、図13(d)中の破線の円で示した領域において、ボディ取り出し電極Bが、ソース領域Sと重なり領域Vを有するようにして形成する。

【0077】以降の工程としては、例えばCVD法により酸化シリコンを堆積させて層間絶縁膜を形成し、コントラクトホールを開口し、プラグや上層配線などを形成して、所望の半導体装置を形成する。

【0078】上記の半導体装置の製造方法においては、トランジスタのソース領域と重なり領域を有するようにボディ取り出し電極を形成しており、第1半導体層のソース領域およびドレイン領域を除くボディ部分が、ソース電位に固定されて、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧が向上したトランジスタを形成することができる。上記の本実施形態においては、ソース領域、ドレイン領域およびボディ取り出し電極をそれぞれ1回のイオン注入で形成しているが、ゲート電極の側壁部にサイドウォール絶縁膜を形成し、その後にドーズ量などを変えて2回のイオン注入を行うことによりLDD構造とすることも可能である。

【0079】第4実施形態

図14(a)は、本実施形態に係る半導体装置であるゲートアレイの1対のトランジスタに相当する領域の平面図である。第3実施形態と実質的に同様であるが、1対のゲート電極G1, G2で挟まれた半導体層SOI中が第2導電型(n^+ 型)のドレイン領域Dとなり、1対のゲート電極G1, G2の外側の領域の半導体層SOI中が第2導電型(n^+ 型)の1対のソース領域S1, S2となることが異なる。

【0080】上記の第1半導体層SOIから、第1半導体層SOIのボディ部分に接続して第1導電型(p 型)

の第2半導体層Jが張り出して形成されている。第3実施形態と同様に、上記の半導体装置は、例えば $0.4\mu m$ ルールで設計されており、ゲート電極G1, G2のゲート長L1は $0.4\mu m$ となる。ゲート電極G1, G2のチャネル幅は、例えば $4.0\mu m$ である。また、活性領域である第2半導体層J部分の最小線幅L1も例えば $0.4\mu m$ で設計されている。ここで、ゲート電極G1, G2は、第2半導体層J領域とはゲート電極のゲート長の半分($L_3 = 0.2\mu m$)の領域が重なるように形成されており、ゲート電極の側部における第2半導体層J中に第1半導体層SOIよりも第1導電型の不純物を高濃度に含有する第1導電型(p^+ 型)のボディ取り出し電極Bが形成されている。

【0081】図14(a)中の破線の円で示した領域の拡大図が図14(b)である。図14(b)に示すように、ボディ取り出し電極Bは、ソース領域S1(またはソース領域S2)と重なり領域Vを有しており、 $p-n$ 接合を形成しており、この $p-n$ 接合は抵抗体に近い電流-電圧特性を示す。従って、第3実施形態と同様に、トランジスタのボディ部分が、ボディ取り出し電極Bを介してソース領域Sに接続し、これによりトランジスタのボディ部分の電位がソース電位に固定されることになり、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧が向上したトランジスタを形成することができる。

【0082】さらに、上記の第1半導体層SOIと第2半導体層Jのレイアウトは、Tゲート構造とせずにボディ取り出し電極Bをソース領域Sに接続して配置することができ、バルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、ボディ取り出し電極を配置することができる。

【0083】上記の半導体装置の製造方法について図面を参照して以下に説明する。まず、図15(a)に示すように、例えば張り合わせ法あるいはSIMOX法などにより、支持基板の張り合わせ面の上層に酸化シリコンの層間絶縁膜Iと、第1半導体層SOIおよび第1半導体層SOIから張り出して形成されている第2半導体層Jからなる第1導電型(p 型)のシリコン半導体層とが積層した積層基板を形成する。半導体層は、層間絶縁膜Iにより素子分離されており、素子分離領域の層間絶縁膜Iは、例えばトレンチ素子分離法により形成することもできる。また、第2半導体層Jの最小線幅L1は $0.4\mu m$ である。

【0084】次に、図15(b)に示すように、第1半導体層SOIおよび第2半導体層Jからなるシリコン半導体層の上層に例えば熱酸化法によりゲート絶縁膜を形成し、その上層に例えばCVD法によりポリシリコンとタンクステンシリサイドを積層させたポリサイド構造のゲート電極G1, G2をパターン形成する。ゲート長L

2は例えば $0.4\mu m$ である。このとき、第2半導体層Jの上層には、ゲート電極G1, G2が第2半導体層Jに対してゲート長の半分($L_3 = 0.2\mu m$)の領域が重なるようにパターン形成する。

【0085】次に、図16(c)に示すように、フォトリソグラフィー工程により第1半導体層SOI領域を開口し、第2半導体層J領域を保護するマスクパターンM1のレジストマスクを形成し、1対のゲート電極G1, G2で挟まれた半導体層SOI中に第2導電型(n^+ 型)のドレイン領域Dを、1対のゲート電極G1, G2の外側の領域の半導体層SOI中に第2導電型(n^+ 型)の1対のソース領域S1, S2を形成する。

【0086】次に、図16(d)に示すように、フォトリソグラフィー工程により第2半導体層J領域を開口し、第1半導体層SOI領域を保護するマスクパターンM2のレジストマスクを形成し、ゲート電極Gの側部における第2半導体層J中に、ゲート電極Gをマスクとして第1導電型(p 型)の導電性不純物をイオン注入し、 p 型のボディ取り出し電極Bを形成する。ここで、図16(d)中の破線の円で示した領域において、ボディ取り出し電極Bが、ソース領域S1, S2と重なり領域Vを有するようにして形成する。

【0087】以降の工程としては、例えばCVD法により酸化シリコンを堆積させて層間絶縁膜を形成し、コンタクトホールを開口し、プラグや上層配線などを形成して、所望の半導体装置を形成する。

【0088】上記の半導体装置の製造方法においては、第3実施形態と同様に、トランジスタのソース領域と重なり領域を有するようにボディ取り出し電極を形成しており、第1半導体層のソース領域およびドレイン領域を除くボディ部分が、ソース電位に固定されて、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧が向上したトランジスタを形成することができる。上記の本実施形態においては、ソース領域、ドレイン領域およびボディ取り出し電極をそれぞれ1回のイオン注入で形成しているが、ゲート電極の側壁部にサイドウォール絶縁膜を形成し、その前後にドーズ量などを変えて2回のイオン注入を行うことによりLDD構造とすることも可能である。

【0089】第5実施形態

図17(a)は、本実施形態に係る半導体装置であるゲートアレイの1対のトランジスタに相当する領域の平面図であり、図17(b)は図17(a)中の破線の円で示した領域の拡大図である。第3実施形態と実質的に同様であるが、第1半導体層SOIおよび第2半導体層Jに対して自己整合的に高融点金属シリサイド層Cが形成されていることが異なる。

【0090】上記の本実施形態に半導体装置は、トランジスタのソース領域Sと、ボディ取り出し電極Bとともにその上層に形成された高融点金属シリサイド層Cに接

続しており、トランジスタのボディ部分がボディ取り出し電極を介してソース領域に接続し、ソース電位に固定されることになる。 $p-n$ 接合により接続する場合よりも電位差を小さくしてより確実にトランジスタのボディ部分をソース領域に接続することができる。従って、ドレン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレン耐圧の向上を図ることができる。

【0091】上記の図17に示す半導体装置の製造方法は、第3実施形態と実質的に同様であり、ソース領域とドレン領域、さらにボディ取り出し電極の形成を第3実施形態と同様にして行った後、シリコン層表面の自然酸化膜を除去し、コバルトなどの高融点金属を堆積させ、第1アニール処理によるシリサイド化、未反応コバルトの除去、第2アニール処理によるシリサイド層の緻密化を行い、第1半導体層SOI中のソース領域およびドレン領域と第2半導体層J中のボディ取り出し電極に自己整合的にコバルトシリサイドなどの高融点金属シリサイド層Cを形成する。

【0092】上記の半導体装置の製造方法においては、第3実施形態と同様に、トランジスタのソース領域とボディ取り出し電極が高融点金属シリサイド層に接続して形成しており、第1半導体層のソース領域およびドレン領域を除くボディ部分が、ソース電位に固定されて、ドレン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレン耐圧が向上したトランジスタを形成することができる。

【0093】また、上記の半導体装置においては、第1半導体層および第2半導体層の上層に金属シリサイド層を形成しているので、図18(a)および図18(b)中の破線の円で示した領域の拡大図である図18(b)に示すように、トランジスタのソース領域とボディ取り出し電極は重なり領域を有していてもいなくてもよい。この場合、合わせマージンをより小さくすることができます。これは、ボディ取り出し電極部分の面積を狭めることが可能であること示している。

【0094】上記の図18に示す半導体装置の製造方法は、上記と同様であるが、図19(a)に示すように、フォトリソグラフィー工程により第1半導体層SOI領域を開口し、第2半導体層J領域を保護するマスクパターンM1のレジストマスクを形成し、1対のゲート電極G1, G2で挟まれた半導体層SOI中に第2導電型(n^+ 型)のソース領域Sを、1対のゲート電極G1, G2の外側の領域の半導体層SOI中に第2導電型(n^+ 型)の1対のドレン領域D1, D2を形成した後、図19(b)に示すように、フォトリソグラフィー工程により第2半導体層J領域を開口し、第1半導体層SOI領域を保護するマスクパターンM2のレジストマスクを形成し、ゲート電極Gの側部における第2半導体層J中に、ゲート電極Gをマスクとして第1導電型(p型)の導電性不純物をイオン注入し、p型のボディ取り出し電極Bを形成する。ここで、図19(b)中の破線の円で示した領域において、ボディ取り出し電極Bが、ソース領域Sと重なり領域を有さないように形成することができる。上記の工程の後に、上記と同様にして第1半導体層SOI中のソース領域およびドレン領域と第2半導体層J中のボディ取り出し電極に自己整合的にコバルトシリサイドなどの高融点金属シリサイド層Cを形成する。

電極Bを形成する。ここで、図19(b)中の破線の円で示した領域において、ボディ取り出し電極Bが、ソース領域Sと重なり領域を有さないように形成することができる。

【0095】また、上記の半導体装置においては、図20(a)および図20(b)中の破線の円で示した領域の拡大図である図20(b)に示すように、1対のゲート電極G1, G2で挟まれた半導体層SOI中に第2導電型(n^+ 型)のドレン領域Dとなり、1対のゲート電極G1, G2の外側の領域の半導体層SOI中に第2導電型(n^+ 型)の1対のソース領域S1, S2としてもよい。図20に示す半導体装置の製造方法は、上記の製造方法と同様にして形成することができる。

【0096】また、上記の半導体装置においては、図21(a)および図21(b)中の破線の円で示した領域の拡大図である図21(b)に示すように、トランジスタのソース領域とボディ取り出し電極は重なり領域を有していてもいなくてもよく、この場合、合わせマージンをより小さくすることができます。

【0097】上記の図21に示す半導体装置の製造方法は、図22(a)に示すように、フォトリソグラフィー工程により第1半導体層SOI領域を開口し、第2半導体層J領域を保護するマスクパターンM1のレジストマスクを形成し、1対のゲート電極G1, G2で挟まれた半導体層SOI中に第2導電型(n^+ 型)のドレン領域Dを、1対のゲート電極G1, G2の外側の領域の半導体層SOI中に第2導電型(n^+ 型)の1対のソース領域S1, S2を形成した後、図22(b)に示すように、フォトリソグラフィー工程により第2半導体層J領域を開口し、第1半導体層SOI領域を保護するマスクパターンM2のレジストマスクを形成し、ゲート電極Gの側部における第2半導体層J中に、ゲート電極Gをマスクとして第1導電型(p型)の導電性不純物をイオン注入し、p型のボディ取り出し電極Bを形成する。ここで、図19(b)中の破線の円で示した領域において、ボディ取り出し電極Bが、ソース領域Sと重なり領域を有さないように形成することができる。上記の工程の後に、上記と同様にして第1半導体層SOI中のソース領域およびドレン領域と第2半導体層J中のボディ取り出し電極に自己整合的にコバルトシリサイドなどの高融点金属シリサイド層Cを形成する。

【0098】上記の本実施形態においては、ソース領域、ドレン領域およびボディ取り出し電極をそれぞれ1回のイオン注入で形成しているが、ゲート電極の側壁部にサイドウォール絶縁膜を形成し、その前後にドーズ量などを変えて2回のイオン注入を行うことによりLD構造とすることも可能である。

【0099】第6実施形態

図23(a)は、本実施形態に係る半導体装置であるゲートアレイの1対のトランジスタに相当する領域の平面

図である。第3実施形態と実質的に同様であるが、ボディ取り出し電極に対してコンタクトをとることが必要でないことから、可能な限り第2半導体層の面積を狭めたことが異なる。上記のレイアウトは、第2半導体層の面積を狭めることにより拡散層容量をさらに低減することができる。

【0100】上記の本実施形態に半導体装置は、1対のトランジスタのボディにそれぞれ接続するボディ取り出し電極B1, B2がトランジスタのソース領域Sと重なる領域を有して接続してpn接合を形成しており、トランジスタのボディ部分をソース領域に接続することができる。従って、ドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧の向上を図ることができる。

【0101】また、図23(b)に示すように、1対のトランジスタのボディにボディ取り出し電極B1, B2, B3, B4をそれぞれ複数個設け、重なり領域V1, V2, V3, V4によりそれぞれソース領域Sに接続することができる。この場合、ゲート容量は図23

(a)に示すレイアウトよりも大きくなるが、特にチャネル幅の大きなトランジスタでも、より確実にトランジスタのボディ部分をソース領域に接続することができる。

【0102】また、図24(a)および図24(b)に示すように、図23(a)および図23(b)に対して、1対のゲート電極G1, G2で挟まれた半導体層SOI中が第2導電型(n⁺型)のドレイン領域Dとなり、1対のゲート電極G1, G2の外側の領域の半導体層SOI中が第2導電型(n⁺型)の1対のソース領域S1, S2としてもよい。

【0103】本発明の半導体装置としては、SOI型半導体層にMOSFETを有する半導体装置であれば何にでも適用でき、MOSFETの他に種々の半導体素子を有することが可能である。

【0104】本発明は、上記の実施の形態に限定されない。例えば、トランジスタのレイアウトや、ボディ取り出し電極の形状は、設計する半導体装置あるいはそのデザインルールに合わせて適宜変更することができる。本発明のSOI構造トランジスタは、部分空乏型のトランジスタに好ましく適用することができるが、完全空乏型であってもよい。SOI構造積層基板は、SIMOX法や張り合わせ法など、種々の方法により形成することができる。素子分離絶縁膜はトレンチ法の他、LOCOS法により形成することもできる。また、ゲート電極は、例えばタングステンシリサイドなどの単層構成とすることもできる。ソース・ドレイン領域に形成される金属シリサイド層をゲート電極の上層にも形成してもよい。また、層間絶縁膜は、単層構成でも多層構成でもよい。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

【0105】

【発明の効果】以上説明したように、本発明の半導体装置によれば、SOI構造の半導体層に形成されたMOSFETを有する半導体装置において、バルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、トランジスタのボディ部分をソース領域などの電位に固定することによりドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧の向上を図ることができる。

【0106】また、本発明の半導体装置の製造方法によれば、本発明の半導体装置を製造することが可能であり、バルクシリコン基板に形成されたトランジスタのレイアウトから変更が小さく、さらにレイアウト面積の増大を抑制して、トランジスタのボディ部分をソース領域などの電位に固定することによりドレイン電流のキックの発生を抑制し、寄生バイポーラ効果によるドレイン耐圧の向上を図ることができる半導体装置を製造することができる。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1実施形態に係る半導体装置の平面図であり、図1(b)は図1(a)中のX-X'における断面図、図1(c)は図1(a)中のY-Y'における断面図である。

【図2】図2は第1実施形態に係る半導体装置の製造方法の製造工程のSOI構造積層基板を形成する工程までを示す(a)は平面図、(b)は(a)中のX-X'における断面図、(c)は(a)中のY-Y'における断面図である。

【図3】図3は図2の続きの工程のゲート電極の形成工程までを示す(a)は平面図、(b)は(a)中のX-X'における断面図、(c)は(a)中のY-Y'における断面図である。

【図4】図4は図3の続きの工程の第1半導体層における低濃度不純物領域の形成工程までを示す(a)は平面図、(b)は(a)中のX-X'における断面図、(c)は(a)中のY-Y'における断面図である。

【図5】図5は図4の続きの工程の第2半導体層における低濃度不純物領域の形成工程までを示す(a)は平面図、(b)は(a)中のX-X'における断面図、(c)は(a)中のY-Y'における断面図である。

【図6】図6は図5の続きの工程のサイドウォール絶縁膜の形成工程までを示す(a)は平面図、(b)は(a)中のX-X'における断面図、(c)は(a)中のY-Y'における断面図である。

【図7】図7は図6の続きの工程の第1半導体層における高濃度不純物領域の形成工程までを示す(a)は平面図、(b)は(a)中のX-X'における断面図、(c)は(a)中のY-Y'における断面図である。

【図8】図8は図7の続きの工程の第2半導体層における

る高濃度不純物領域の形成工程までを示す（a）は平面図、（b）は（a）中のX-X'における断面図、（c）は（a）中のY-Y'における断面図である。

【図9】図9（a）は本発明の第2実施形態に係る半導体装置の平面図であり、図1（b）は図1（a）中のX-X'における断面図、図1（c）は図1（a）中のY-Y'における断面図である。

【図10】図10は第2実施形態に係る半導体装置の製造方法の製造工程の高融点金属シリサイド層を形成する工程までを示す（a）は平面図、（b）は（a）中のX-X'における断面図、（c）は（a）中のY-Y'における断面図である。

【図11】図11（a）は本発明の第3実施形態に係る半導体装置の平面図であり、図11（b）は図11（a）中の破線の円で示した領域の拡大図である。

【図12】図12は図11に示す半導体装置の製造方法の製造工程を示す平面図であり、（a）はSOI構造積層基板を形成する工程まで、（b）はゲート電極を形成する工程までを示す。

【図13】図13は図12の続きの工程を示す平面図であり、（c）はソース領域およびドレイン領域の形成工程まで、（d）はボディ取り出し電極の形成工程までを示す。

【図14】図14（a）は本発明の第4実施形態に係る半導体装置の平面図であり、図14（b）は図14（a）中の破線の円で示した領域の拡大図である。

【図15】図15は図14に示す半導体装置の製造方法の製造工程を示す平面図であり、（a）はSOI構造積層基板を形成する工程まで、（b）はゲート電極を形成する工程までを示す。

【図16】図16は図15の続きの工程を示す平面図であり、（c）はソース領域およびドレイン領域の形成工程まで、（d）はボディ取り出し電極の形成工程までを示す。

【図17】図17（a）は本発明の第5実施形態に係る半導体装置の平面図であり、図17（b）は図17（a）中の破線の円で示した領域の拡大図である。

【図18】図18（a）は本発明の第5実施形態に係る半導体装置の平面図であり、図18（b）は図18（a）中の破線の円で示した領域の拡大図である。

【図19】図19は図18に示す半導体装置の製造方法

の製造工程を示す平面図であり、（a）はソース領域およびドレイン領域の形成工程まで、（b）はボディ取り出し電極の形成工程までを示す。

【図20】図20（a）は本発明の第5実施形態に係る半導体装置の平面図であり、図20（b）は図20（a）中の破線の円で示した領域の拡大図である。

【図21】図21（a）は本発明の第5実施形態に係る半導体装置の平面図であり、図21（b）は図21（a）中の破線の円で示した領域の拡大図である。

【図22】図22は図21に示す半導体装置の製造方法の製造工程を示す平面図であり、（a）はソース領域およびドレイン領域の形成工程まで、（b）はボディ取り出し電極の形成工程までを示す。

【図23】図23（a）および（b）は本発明の第6実施形態に係る半導体装置の平面図である。

【図24】図24（a）および（b）は本発明の第6実施形態に係る半導体装置の平面図である。

【図25】図25は第1従来例に係る半導体装置の平面図である。

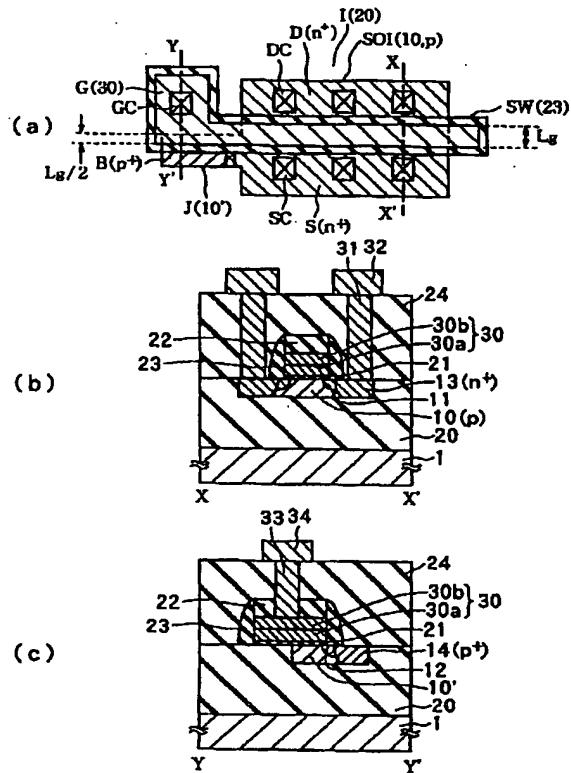
【図26】図26は第2従来例に係る半導体装置の平面図である。

【図27】図27は第3従来例に係る半導体装置の平面図である。

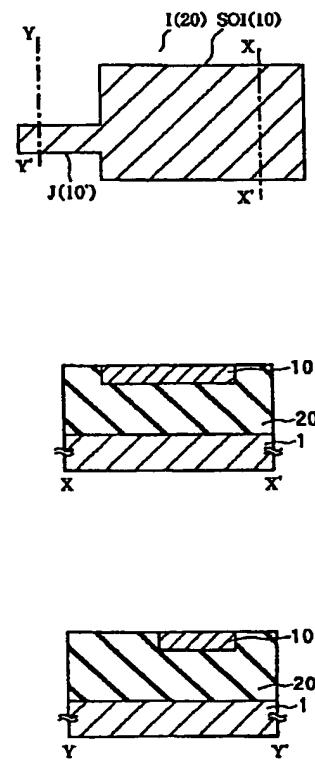
【符号の説明】

1…支持基板、10（SOI）…第1半導体層、10'（J）…第2半導体層、11…第1導電型低濃度不純物領域、12…第2導電型低濃度不純物領域、13…第1導電型高濃度不純物領域、14…第2導電型高濃度不純物領域、15…高融点金属シリサイド層、20（I）…層間絶縁膜（素子分離絶縁膜）、21…ゲート絶縁膜、22…オフセット絶縁膜、23…サイドウォール絶縁膜、24…層間絶縁膜、30（G, G1, G2）…ゲート電極、30a…ポリシリコン層、30b…金属シリサイド層、31, 33…プラグ、32, 34…上層配線、R1～R4…レジスト膜、D1～D4…導電性不純物、S, S1, S2…ソース領域、D, D1, D2…ドレイン領域、B, B1, B2, B3, B4…ボディ取り出し電極、V, V1, V2, V3, V4…重なり領域、GC…ゲートコンタクト、SC…ソースコンタクト、DC…ドレインコンタクト、BC…ボディコンタクト。

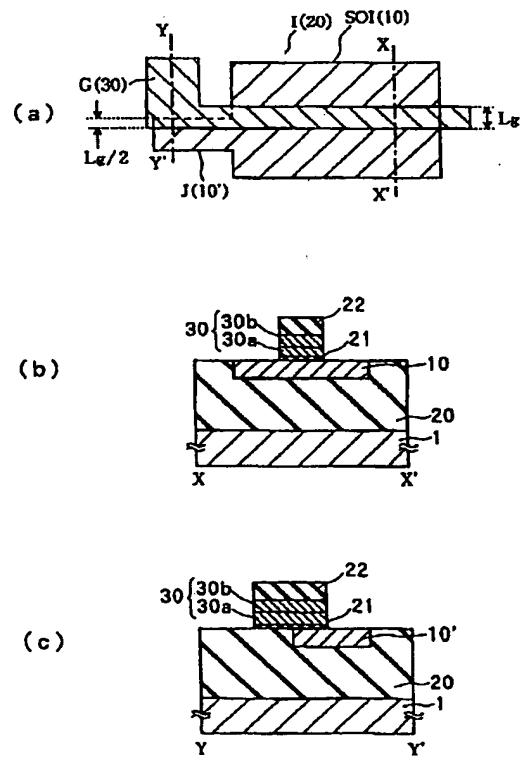
【図 1】



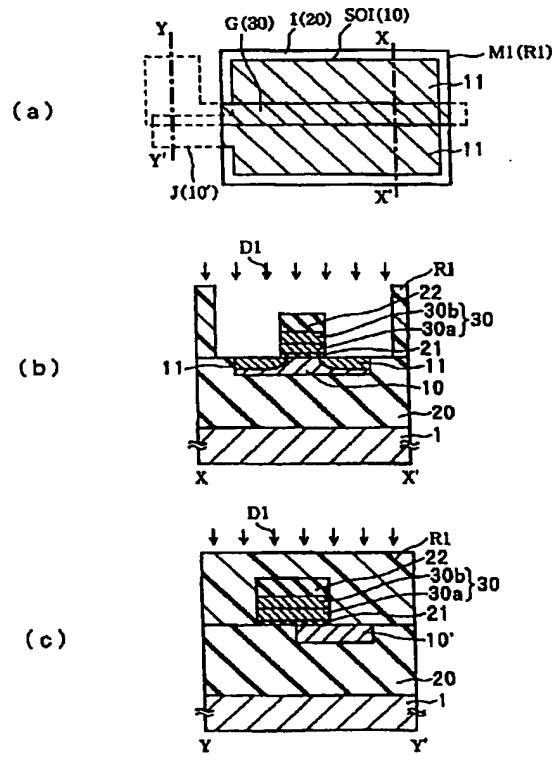
【図 2】



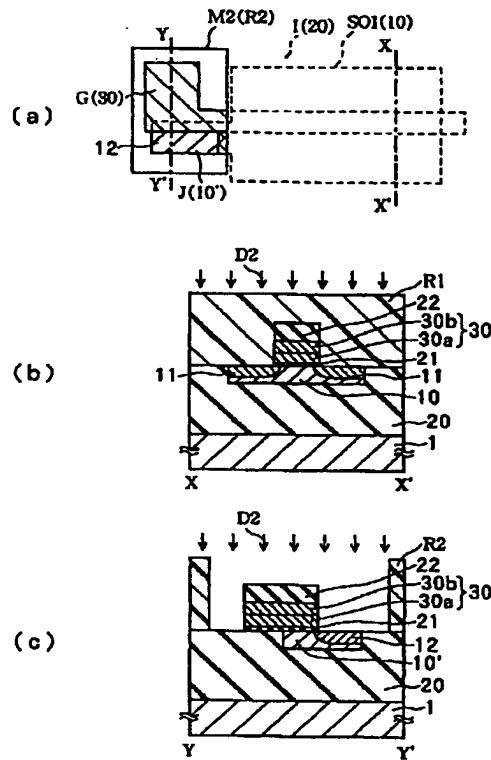
【図 3】



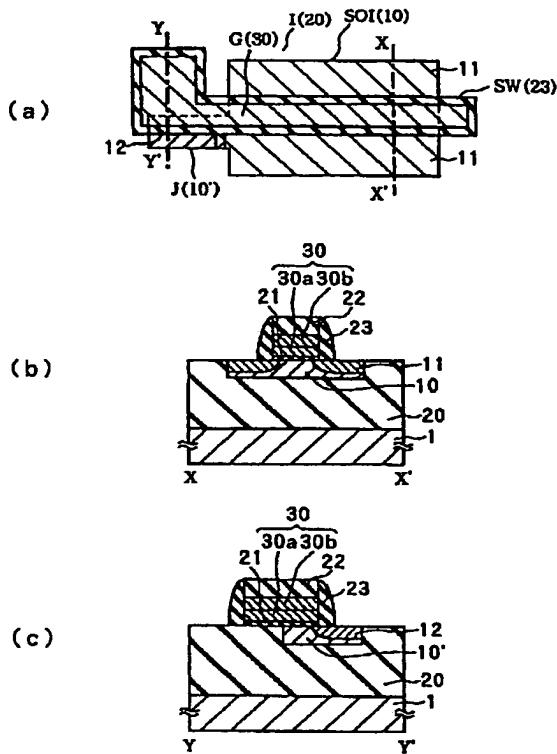
【図 4】



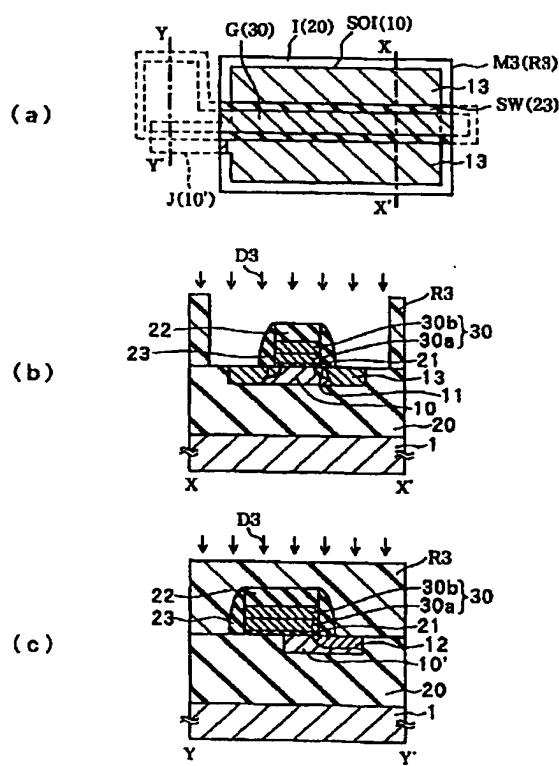
【図 5】



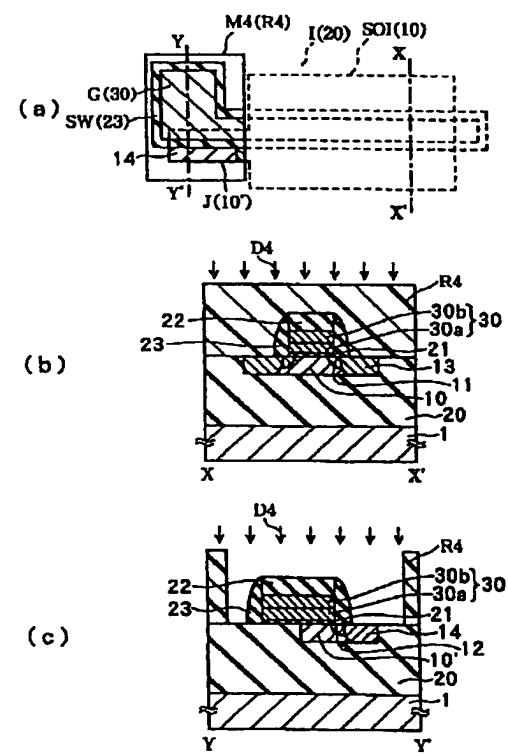
【図 6】



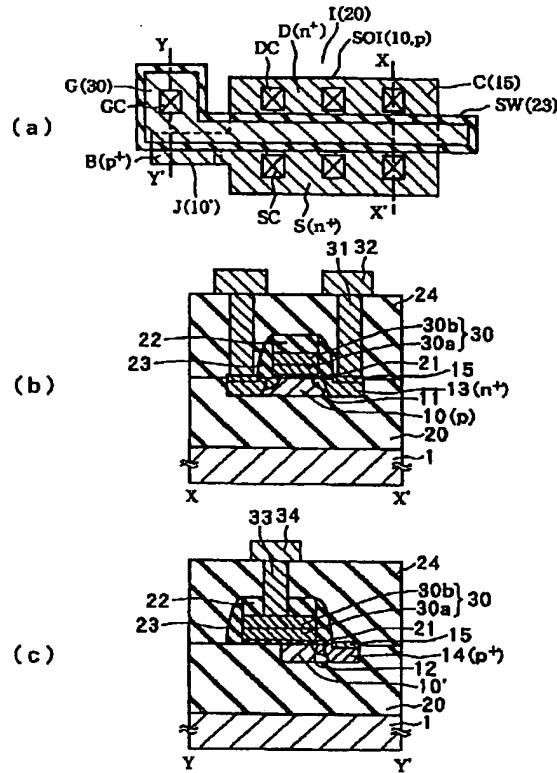
【図 7】



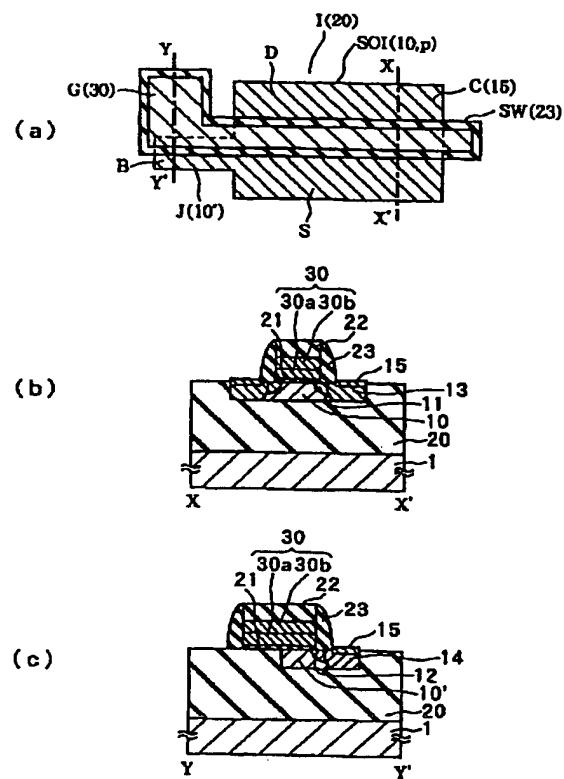
【図 8】



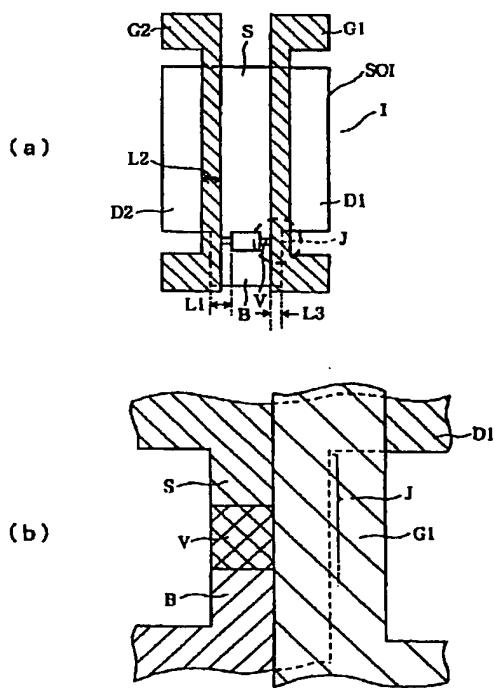
【図 9】



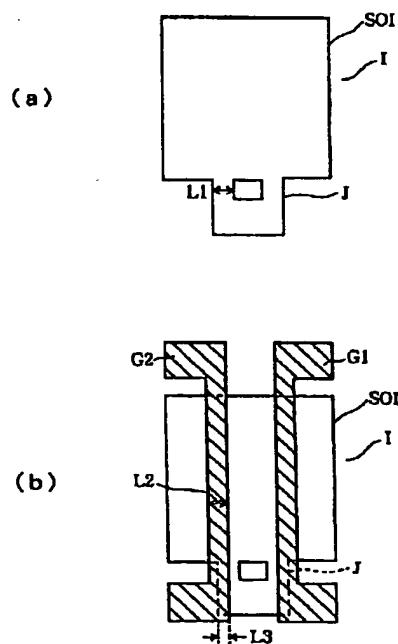
【図 10】



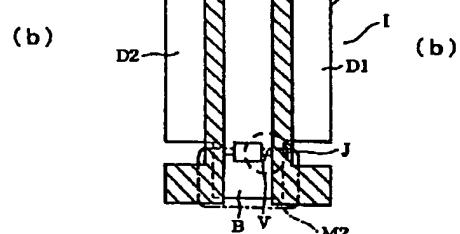
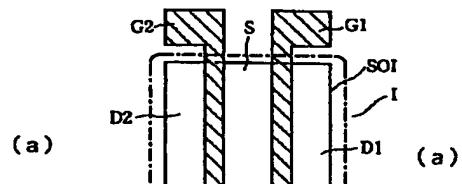
【図 11】



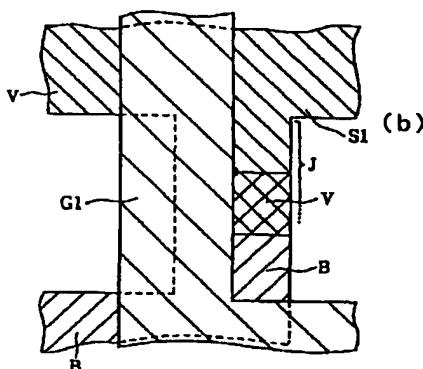
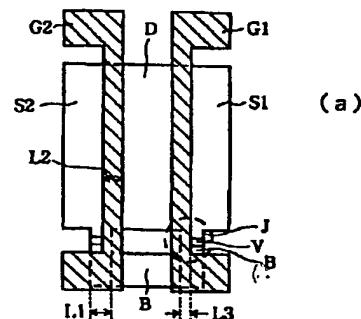
【図 12】



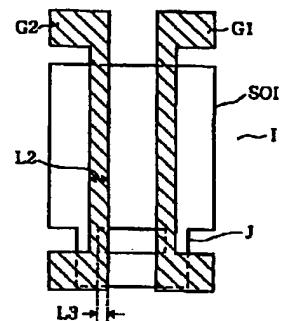
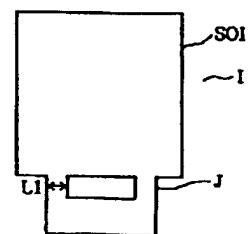
【図13】



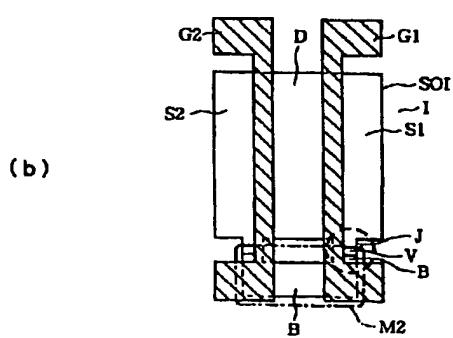
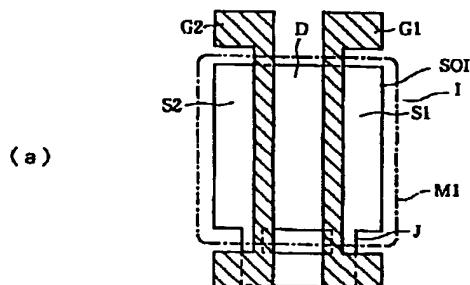
【図14】



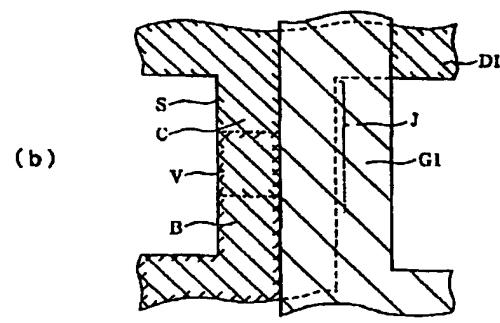
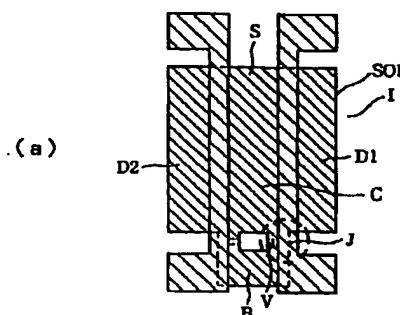
【図15】



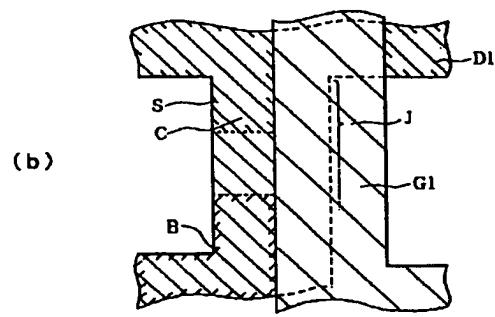
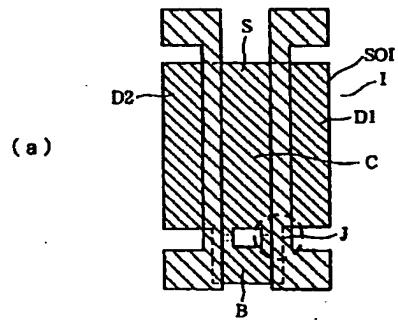
【図16】



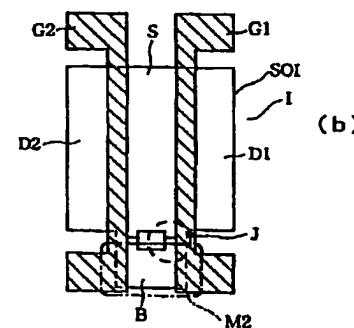
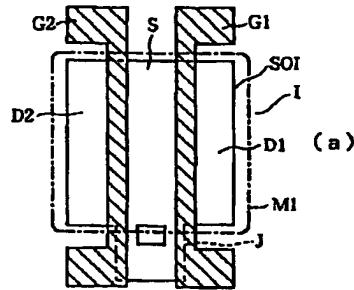
【図17】



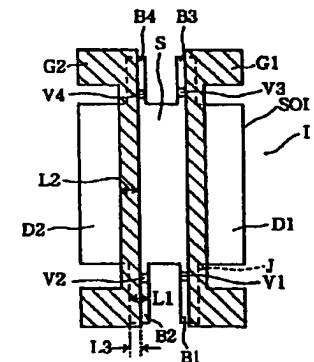
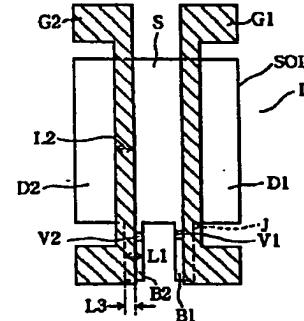
【図 1 8】



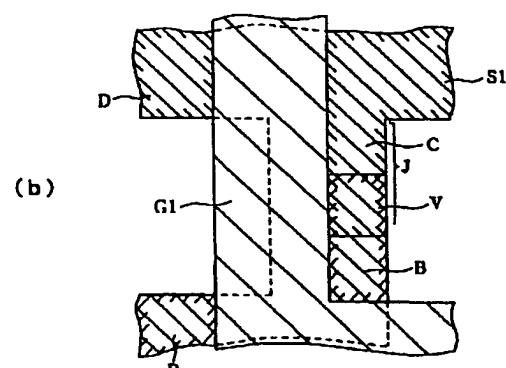
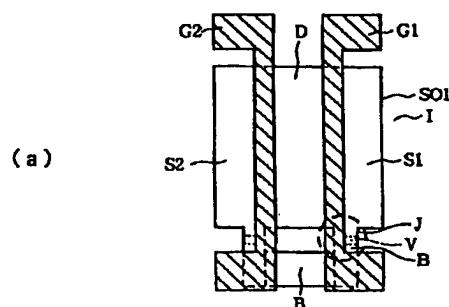
【図 1 9】



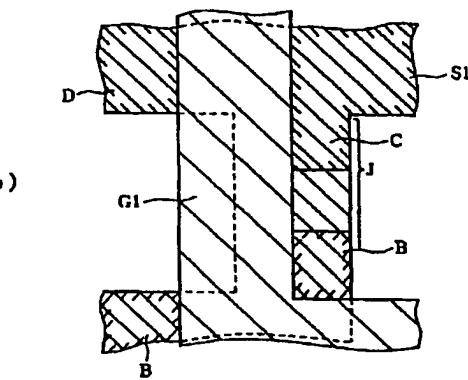
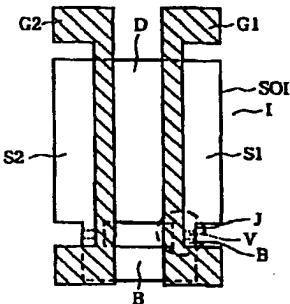
【図 2 3】



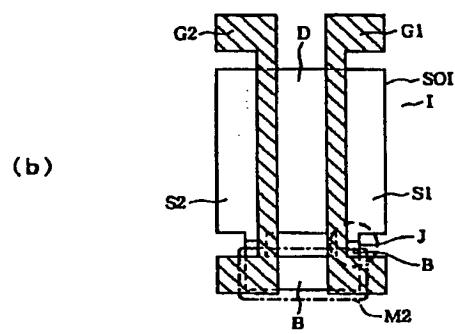
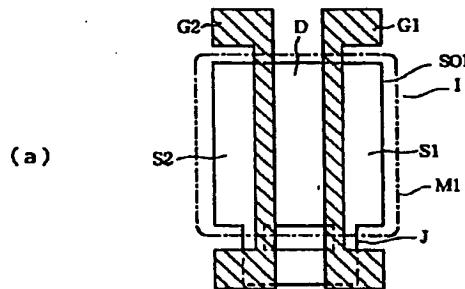
【図 2 0】



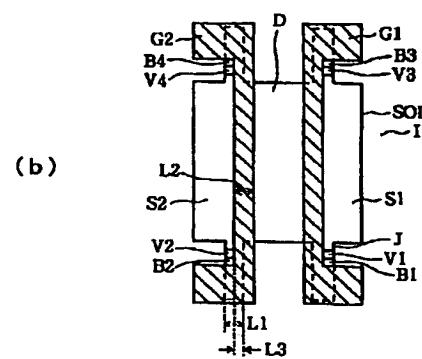
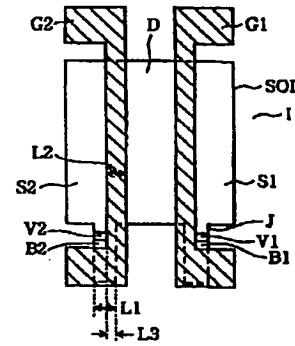
【図 2 1】



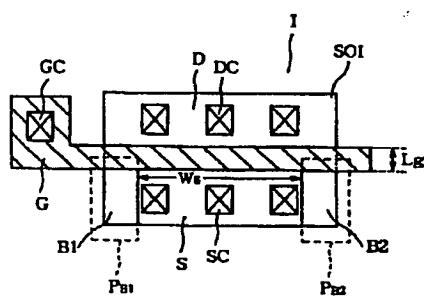
【図 2 2】



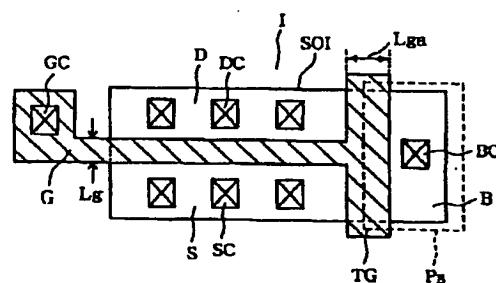
【図 2 4】



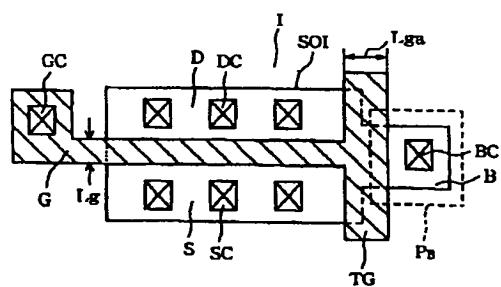
【図 2 5】



【図 2 6】



【図 2 7】



フロントページの続き

F ターム(参考) 4M104 AA01 AA09 BB01 BB18 BB24
BB28 BB40 CC01 DD02 DD04
DD08 DD16 DD37 DD43 DD65
DD79 DD84 EE09 FF14 GG10
GG14
5F048 AA03 AA05 AB02 AC04 BA09
BB05 BB08 BC06 BC16 BG12
BG14 DA25
5F110 AA13 AA15 AA18 BB04 CC02
DD05 DD13 EE05 EE09 EE14
EE31 EE36 EE45 FF02 FF23
GG23 GG28 GG29 HJ01 HJ04
HJ13 HJ23 HL04 HL05 HL27
HM15 NN02 NN23 NN35 NN62
NN65 NN66 QQ09 QQ11